

BEST AVAILABLE COPY

PAT-NO: JP406242433A
DOCUMENT-IDENTIFIER: JP 06242433 A
TITLE: ACTIVE MATRIX SUBSTRATE
PUBN-DATE: September 2, 1994

INVENTOR-INFORMATION:

NAME

NODA, KAZUHIRO
KADOTA, HISASHI
NAKAMURA, SHINJI
HAYASHI, HISAO

ASSIGNEE-INFORMATION:

NAME

SONY CORP

COUNTRY

N/A

APPL-NO: JP05347349

APPL-DATE: December 24, 1993

INT-CL (IPC): G02F001/1333, G02F001/136

US-CL-CURRENT: 349/42, 349/124 , 349/FOR.111 , 349/FOR.121

ABSTRACT:

PURPOSE: To perform uniform orientation control over liquid crystal by forming a laminate structure wherein an upper area including plural pixel electrodes arrayed in a matrix and a lower area including plural thin film transistors(TFT) driving the individual pixel electrodes are put one over the other, and interposing a flattening layer between both the areas.

CONSTITUTION: A flattening layer 11 made of transparent resin, etc., is provided so as to fill unevenness in the top surface in the lower area including the TFTs 3. Namely, the flattening layer 11 is interposed

between an
insulating film 8 between 2nd layers in the lower area and the pixel
electrodes
10 in the lower area. This flattening layer 11 is thick enough to
fill the
unevenness of the TFTs 3 and a metal wiring pattern 7 and flatten
them.
Consequently, an orientation film 16 has an extremely flat surface
and no step
part, so a uniform rubbing process can be performed and the uniform
orientation
control over the entire screen is made possible. Further, the width
of a black
mask for shielding an orientation defective part is reducible to
obtain effects
on the improvement of the aperture rate.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-242433

(43)公開日 平成6年(1994)9月2日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
G 0 2 F 1/1333	5 0 5	9225-2K		
1/136	5 0 0	9018-2K		

審査請求 未請求 請求項の数18 FD (全 16 頁)

(21)出願番号 特願平5-347349

(22)出願日 平成5年(1993)12月24日

(31)優先権主張番号 特願平4-359187

(32)優先日 平4(1992)12月25日

(33)優先権主張国 日本(JP)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 野田 和宏

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 門田 久志

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 中村 真治

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 弁理士 鈴木 晴敏

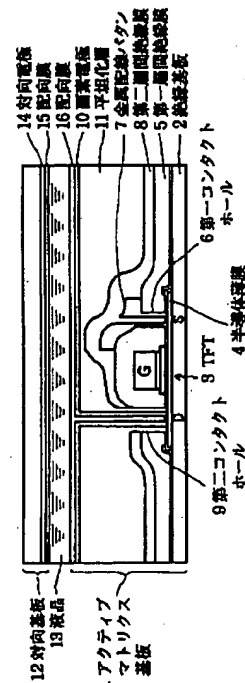
最終頁に続く

(54)【発明の名称】 アクティブマトリクス基板

(57)【要約】

【目的】 アクティブマトリクス基板表面の凹凸を除去し液晶配向の均一性を確保する。

【構成】 アクティブマトリクス基板1は、マトリクス状に配列した複数の画素電極10を含む上側領域と、個々の画素電極10を駆動する複数の薄膜トランジスタ3を含む下側領域とを互いに重ねた積層構造を有する。両領域の間に平坦化層11が介在している。



【特許請求の範囲】

【請求項1】マトリクス状に配列した複数の画素電極を含む上側領域と、個々の画素電極を駆動する複数の薄膜トランジスタを含む下側領域とを互いに重ねた積層構造を有し、両領域の間に平坦化層を介在させた事を特徴とするアクティブマトリクス基板。

【請求項2】前記平坦化層は、下側領域表面の凹凸を埋め平坦化する為に十分な厚みを有する透明樹脂膜からなる事を特徴とする請求項1記載のアクティブマトリクス基板。

【請求項3】前記透明樹脂膜はアクリル樹脂からなる事を特徴とする請求項2記載のアクティブマトリクス基板。

【請求項4】個々の画素電極は、該平坦化層を介して設けられたコンタクトホールを通じて対応する薄膜トランジスタの半導体薄膜に電気接続している事を特徴とする請求項1記載のアクティブマトリクス基板。

【請求項5】前記コンタクトホールの内周壁は、平坦化層により被覆されている事を特徴とする請求項4記載のアクティブマトリクス基板。

【請求項6】前記コンタクトホールの底部から平坦化層が除去されている事を特徴とする請求項4記載のアクティブマトリクス基板。

【請求項7】前記コンタクトホールの内周壁に、平坦化層端面が露出している事を特徴とする請求項4記載のアクティブマトリクス基板。

【請求項8】マトリクス状に配列した各画素電極の境界に整合してブラックマスクパタンが一体的に形成されている事を特徴とする請求項1記載のアクティブマトリクス基板。

【請求項9】前記ブラックマスクパタンは、下側領域に形成された金属配線パタンを兼用した事を特徴とする請求項8記載のアクティブマトリクス基板。

【請求項10】カラーフィルタ層が一体的に形成されている事を特徴とする請求項1記載のアクティブマトリクス基板。

【請求項11】前記カラーフィルタ層は、個々の画素電極に対応して着色された平坦化層の部分からなる事を特徴とする請求項10記載のアクティブマトリクス基板。

【請求項12】各画素電極は、対応する薄膜トランジスタに電気接続する接続部とこれに連続する有効画素部とを有しており、該接続部は平坦化層に開口したコンタクトホールを通じて直接薄膜トランジスタに導通する一方、該有効画素部直下には平坦化層を介してカラーフィルタ層が整合的に設けられている事を特徴とする請求項1記載のアクティブマトリクス基板。

【請求項13】薄膜トランジスタを遮閉する様に平坦化層の上方又は下方に遮光膜が形成されている事を特徴とする請求項1記載のアクティブマトリクス基板。

【請求項14】基板上に複数の薄膜トランジスタを含む第一領域を集積形成する第一工程と、第一領域表面の凹凸を平坦化層で埋め平坦化する第二工程と、平坦化層の平らな表面に複数の画素電極をマトリクス状に配列した第二領域を形成する第三工程とを含む事を特徴とするアクティブマトリクス基板の製造方法。

【請求項15】前記第二工程は、液状の透明樹脂を塗布した後硬化する事を特徴とする請求項14記載のアクティブマトリクス基板の製造方法。

10 【請求項16】該平坦化層を介して上側の画素電極と下側の薄膜トランジスタをコンタクトホールを通じて電気接続する接続工程を含む事を特徴とする請求項14記載のアクティブマトリクス基板の製造方法。

【請求項17】前記接続工程は、感光性樹脂からなる平坦化層に対してフォトリソグラフィ及びエッチングを施しコンタクトホールを開口する工程を含む請求項16記載のアクティブマトリクス基板の製造方法。

【請求項18】所定の間隙を介して互いに対面配置されたTFT基板及び対向基板と、該間隙に挿入された液晶とからなるアクティブマトリクス型液晶表示装置において、

前記TFT基板は、複数の薄膜トランジスタを含む第一領域と、該第一領域表面の凹凸を埋める平坦化層と、該平坦化層の平らな表面に形成されたマトリクス状の画素電極を含み該第一領域に電気接続された第二領域と、該第二領域表面を被覆し液晶の配向制御を行なう配向層とを有する事を特徴とするアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

30 【0001】

【産業上の利用分野】本発明は、アクティブマトリクス型液晶表示装置に関する。より詳しくは、画素電極とスイッチング用の薄膜トランジスタ(TFT)とが集積的に形成されたアクティブマトリクス基板の平坦化技術に関する。

【0002】

【従来の技術】図19を参照して、従来のアクティブマトリクス型液晶表示装置の一般的な構造を簡潔に説明する。下側の基板101表面には薄膜トランジスタ102が集積的に形成されている。薄膜トランジスタのソース領域Sには第一層間絶縁膜103を介して金属配線パタン104が電気接続している。又、薄膜トランジスタ102のドレイン領域Dには第一層間絶縁膜103及び第二層間絶縁膜105を介して画素電極106が電気接続している。第二層間絶縁膜105の表面は配向膜107により被覆されている。この様に、薄膜トランジスタ102及び画素電極106が集積的に形成された下側の基板101を、以下アクティブマトリクス基板又はTFT基板と呼ぶ事にする。このアクティブマトリクス基板101には所定の間隙を介して上側の基板108が対面配

置している。上側の基板108の内表面には対向電極109及び配向膜110が形成されており、以下対向基板と呼ぶ事にする。両基板101、108の間隙には、配向膜107、110によって配向制御された液晶111が挿入されている。かかる構成を有するアクティブマトリクス型液晶表示装置において、薄膜トランジスタ102のゲート電極Gに選択信号を印加した状態で、金属配線パターン104を介し画像信号を供給すると、画素電極106に所定の信号電荷が書き込まれる。この画素電極106と対向電極110との間に生じた電圧により、液晶111の分子配列が変化し、所望の画像表示が行なわれる。

【0003】

【発明が解決しようとする課題】図19に示した従来構造では、アクティブマトリクス基板101に薄膜トランジスタ102や金属配線パターン104が集積形成されており、その表面は起伏が激しく無数の凹凸や段差を含んでいる。この為、液晶111の配向制御が困難であり均一な画像表示を得る事ができないという課題がある。特に、段差部分では液晶の配向が乱れプレチルト角が逆転したリバースチルトドメインが発生し表示品位が著しく損なわれる。従来、配向の乱れた領域を遮閉する為に、対向基板側にブラックマスクパターンを形成していた。このブラックマスクパターンは通常配向の乱れがちな画素電極の端部と重なる様に設けられており、有効表示領域が犠牲になる。マトリクス状画素電極の配列ピッチを縮小して高密度化を進めていく際、ブラックマスクパターンの幅を縮小する事ができず開口率が低下するという課題がある。さらに、画素ピッチの微細化及びチップサイズの小小型化に伴い、製造工程上様々な問題が顕在化している。例えば、アクティブマトリクス基板表面の凹凸が激しい為配向膜の厚みむらが生じる。又これに関連して、配向膜の均一なラビング処理が困難である。さらに、アクティブマトリクス基板と対向基板を互いに接着する際、凹凸がある為密着不良が発生する。加えて、従来の構造では、アクティブマトリクス基板表面の凹凸の影響を受け、液晶に印加される電界の方向が不均一になり、一様な透過率制御が困難になるという課題がある。液晶は画素電極と対向電極との間に印加される電界により配向状態が変化しオン/オフ制御が行なわれる。しかしながら、画素電極の周囲に金属配線パターンやゲートライン等の盛り上がりがあると、横方向の電界の影響を受け、プレチルト角の乱れと相乗的に作用し、正常な動作が乱されてしまう。

【0004】

【課題を解決するための手段】上述した従来の技術の課題に鑑み、本発明はアクティブマトリクス型液晶表示装置の配向制御を均一化する事を目的とする。又、アクティブマトリクス型液晶表示装置の開口率を改善する事を目的とする。その為に以下の手段を講じた。即ち、本発

明にかかるアクティブマトリクス基板は、マトリクス状に配列した複数の画素電極を含む上側領域と、個々の画素電極を駆動する複数の薄膜トランジスタを含む下側領域とを互いに重ねた積層構造を有し、両領域の間に平坦化層を介在させた事を特徴とする。前記平坦化層は、下側領域表面の凹凸を埋め平坦化する為に十分な厚みを有する透明樹脂膜からなる。この透明樹脂膜は、例えばアクリル樹脂等からなる。かかる構成において、個々の画素電極は該平坦化層を介して設けられたコンタクトホールを通じて対応する薄膜トランジスタの半導体薄膜に電気接続している。前記コンタクトホールの内周壁は平坦化層により被覆されている。あるいは、前記コンタクトホールの底部から平坦化層が除去された構造としても良い。あるいは、前記コンタクトホールの内周壁に、平坦化層端面が露出した構造としても良い。マトリクス状に配列した各画素電極の境界に整合して、ブラックマスクパターンを一体的に形成しても良い。このブラックマスクパターンは、下側領域に形成された金属配線パターンを兼用した構造を採用できる。さらに、カラーフィルタ層を一体的に形成しても良い。このカラーフィルタ層は、個々の画素電極に対応して着色された平坦化層の部分からなる。あるいは、平坦化層とは別にカラーフィルタ層を基板上に設けても良い。この場合、各電極は対応する薄膜トランジスタに電気接続する接続部と、これに連続する有効画素部とを有している。接続部は平坦化層に開口したコンタクトホールを通じて直接薄膜トランジスタに導通する一方、有効画素部直下には平坦化層を介して別体のカラーフィルタ層が整合的に設けられる。好ましくは、薄膜トランジスタを遮閉する様に平坦化層の上方又は下方に遮光膜が形成されている。

【0005】この様に平坦化されたアクティブマトリクス基板は以下の方法により製造される。即ち、基板上に複数の薄膜トランジスタを含む第一領域を集積形成する第一工程と、第一領域表面の凹凸を平坦化層で埋め平坦化する第二工程と、平坦化層の平らな表面に複数の画素電極をマトリクス状に配列した第二領域を形成する第三工程により製造される。前記第二工程は、液状の透明樹脂を塗布した後硬化する工程からなる。本製造方法は、該平坦化層を介して上側の画素電極と下側の薄膜トランジスタをコンタクトホールを通じて電気接続する接続工程を含んでいる。前記接続工程は、例えば感光性樹脂からなる平坦化層に対してフォトリソグラフィ及びエッチングを施しコンタクトホールを開口する工程を含んでいる。

【0006】本発明にかかるアクティブマトリクス型液晶表示装置は基本的な構成要素として、所定の間隙を介して互に対向配置されたTFT基板及び対向基板と、該間隙に挿入された液晶とを備えている。特徴事項として、前記TFT基板は、複数の薄膜トランジスタを含む第一領域と、該第一領域表面の凹凸を埋める平坦化層

5

と、該平坦化層の平らな表面に形成されたマトリクス状の画素電極を含み該第一領域に電気接続された第二領域と、該第二領域表面を被覆し液晶の配向制御を行なう配向層とを有している。

【0007】

【作用】本発明によれば、複数の薄膜トランジスタを含む下側領域又は第一領域表面の凹凸を埋める為透明樹脂等からなる平坦化層を用いている。この平坦化層の平らな表面にマトリクス状の画素電極を含む上側領域又は第二領域を形成している。さらに、マトリクス状の画素電極を被覆する様に配向層を設けている。従って、この配向層は実質的に平坦な表面を有しており段差部の影響を受けない為リバースチルトドメインを低減させる事が可能になる。又、画素電極周囲には盛り上がった部分が存在しない為、横方向の電界の影響を受ける事がなく、安定した液晶のオン/オフ制御を行なう事ができる。さらに、平坦化層を利用してアクティブマトリクス基板上にブラックマスクパターンやカラーフィルタ層を一体的に形成できる。この為、アライメント誤差を考慮する必要がなくなり、従来に比し画素電極の有効表示部を拡大でき、開口率の改善につながる。加えて、平坦化層とは別体にしてカラーフィルタ層を設ける場合、個々の画素電極の有効画素部に整合させる一方、接続部から除く様にしている。従って、画素電極の接続部は平坦化層を介して直接薄膜トランジスタに導通する。平坦化層を写真食刻加工可能な樹脂で構成する事により、コンタクトホールを極めて高精度に開口する事が可能になる。

【0008】

【実施例】以下図面を参照して本発明の好適な実施例を詳細に説明する。図1は、本発明にかかるアクティブマトリクス基板の基本的な構成を示す断面図である。図示する様に、アクティブマトリクス基板1は石英ガラス等からなる絶縁基板2を用いて構成されており、その表面には薄膜トランジスタ(TFT)3が集積的に形成されている。TFT3は島状にパタニングされた半導体薄膜4を素子領域として利用している。この半導体薄膜4は例えば第一のポリシリコン(以下、1Polyと称する)からなる。なお本発明はこれに限られるものではなく、ポリシリコンに代え、単結晶シリコンや非晶質シリコンを用いる事も可能である。半導体薄膜4の上には三層のゲート絶縁膜を介してゲート電極Gがパタニング形成されている。このゲート電極Gは、例えば第二のポリシリコン(以下2Polyと称する)からなる。TFT3のソース領域Sには第一層間絶縁膜5に設けられた第一コンタクトホール6を通じ金属配線パターン7が電気接続している。第一層間絶縁膜5は例えば燐がドーピングされたガラスからなり以下1PSGと称する。金属配線パターン7は例えばアルミニウムからなり画像信号ラインその他を構成する。一方、TFT3のドレイン領域Dには第一層間絶縁膜5及び第二層間絶縁膜8を介して設け

6

られた第二コンタクトホール9を通じ、画素電極10が電気接続している。この第二層間絶縁膜8は金属配線パターン7を被覆する様に成膜されており、同じく燐をドーピングしたガラス等からなり、以下2PSGと称する。

【0009】本発明の特徴事項として、第二層間絶縁膜8と画素電極10との間に平坦化層11が介在している。この平坦化層11はTFT3や金属配線パターン7の凹凸を埋め平坦化する為に充分な厚みを有している。平坦化層11の表面は略完全な平面状態にあり、その上に画素電極10がパタニング形成される。従って、画素電極10のレベルには何ら凹凸が存在しない。平坦化層11は一般に無色透明である事が要求される。又、第二コンタクトホール9を設ける必要がある為、微細加工が可能でなければならない。さらに、画素電極10のエッチング等に薬品を用いる為、所望の耐薬品性が要求される。加えて、後工程で高温にさらされる為、所定の耐熱性を要求される。かかる要求特性を満たす為、所望の有機材料や無機材料が選択される。有機材料としては、例えばアクリル樹脂やポリイミド樹脂が挙げられる。ポリイミドは耐熱性に優れているが若干着色がある。これに対してアクリル樹脂は略完全に無色透明である。これらの樹脂は、例えばスピンコート法や転写法等により塗布される。無機材料としては、例えば二酸化珪素を主成分とする無機ガラスが挙げられる。本実施例では、所定の粘性を有し凹凸を埋めるのに好適なアクリル樹脂を用いている。以上説明した様に、本発明は集積形成されたTFT3や金属配線パターン7を含む下側領域又は第一領域と、マトリクス状に配列した画素電極10を含む上側領域又は第二領域との間に、平坦化層11を介在させた事を特徴とする。個々の画素電極10は、平坦化層11を介して設けられた第二コンタクトホール9を通じて対応するTFT3の半導体薄膜4に電気接続している。

【0010】かかる構成を有するアクティブマトリクス基板1を用いて液晶表示装置を構成する事ができる。即ち、図1に示す様に、液晶表示装置は所定の間隙を介して互いに対面配置されたアクティブマトリクス基板1と対向基板12との間に液晶13を挿入した構成となっている。対向基板12の内表面には対向電極14及び配向膜15が成膜されている。アクティブマトリクス基板1の表面にも配向膜16が形成されている。これら一対の配向膜15、16により、液晶13の配向制御が行なわれ、例えばツイストネマティックモードが得られる。従来の構造と異なり、配向膜16は極めて平坦な面を有しており、段差部がない為一様なラビング処理を行なえる。従って、画面全体に渡って均一な配向制御が可能になる。又、画素電極10の周囲には何ら盛り上がった部分が存在しない。従って液晶13は対向電極14と画素電極10との間に作用する垂直方向の電界によって完全に駆動制御され、横方向の電界の影響を受ける事がな

る表示品位の劣化を有効に改善できる。又、対向基板12とアクティブマトリクス基板1を互いに精度良く接着でき、シール部からの液晶漏れ等が生じない。

【0011】次に、図2及び図3を参照して、図1に示したアクティブマトリクス基板の製造方法を詳細に説明する。先ず最初に、図2の工程Aにおいて、石英等からなる絶縁基板の表面に1PolyをLPCVD法により成膜する。次にSiイオン注入を行ない一旦微細化した後固相成長を行ない1Polyの大粒径化を図る。その後1Polyを島状にパタニングし素子領域を形成する。さらにその表面を熱酸化しSiO₂としてゲート酸化膜を得る。さらにボロンイオンを所定濃度で注入し、予め閾値電圧の調整を行なう。なお、図示しないが同時に1Polyをパタニングして補助容量を形成できる様にする。次に工程Bにおいて、LPCVD法により、SiNを成膜しゲート窒化膜とする。このSiNの表面を熱酸化しSiO₂に転換する。この様にしてSiO₂/SiN/SiO₂の三層構造からなる耐圧性に優れたゲート絶縁膜が得られる。次にLPCVD法により2Polyを堆積する。2Polyの低抵抗化を図った後、所定の形状にパタニングしゲート電極Gを得る。次にゲート電極GをマスクとしてセルフアライメントによりAsイオンを注入し所謂LDD構造とする。続いてSiNを部分的にエッチングで除去した後、Asイオンを高濃度で注入し1Polyにソース領域S及びドレイン領域Dを設ける。この様にしてNチャネル型のTFTが形成される。なお、Pチャネル型のTFTを形成する場合にはボロンイオンを注入する。続いて工程CにおいてAPCVD法により1PSGを堆積する。この1PSGに第一コンタクトホール(1CON)をパタニング形成した後、スパッタリングによりアルミニウム(Al)を全面的に成膜する。これを所定の形状にパタニングしてTFTのソース領域Sに電気接続する金属配線パタンに加工する。

【0012】図3の工程Dにおいて、APCVD法により、1PSGに重ねて2PSGを堆積し、Alからなる配線金属パタンを完全に被覆する。続いて工程Eにおいて、2PSG表面の凹凸を平坦化層で埋める。この為、本実施例では所定の粘性を有する液状のアクリル樹脂をスピニングで塗布した。その後加熱処理を施しアクリル樹脂を硬化させて平坦化層とした。硬化した平坦化層に対してフォトリソグラフィ及びエッチングを施し第二コンタクトホール(2CON)を形成する。この2CONの底部にはTFTのドレイン領域Dが露出している。なお平坦化層、2PSG、1PSGを貫通する2CONの形成方法の具体例については後に詳細に説明する。次に工程Fにおいてスパッタリングにより透明導電膜を成膜する。本実施例では透明導電膜材料としてITOを用いる。ITOは2CONの内部にも充填され、TFTのドレイン領域Dと電気的な導通がとられる。最後

に工程GにおいてITOを所定の形状にパタニングし画素電極とする。以上の工程により平坦化されたアクティブマトリクス基板が得られる。

【0013】図4を参照して、第二コンタクトホール2CONの具体的な構成例を幾つか挙げて説明する。この2CONは平坦化膜を介して画素電極を構成するITOと、薄膜トランジスタを構成する1Polyとを互いに電気接続する為のものであって本発明の重要な要素の1つである。(A)に示す第一具体例では、第二コンタクトホール2CONの内周壁は、平坦化膜により被覆されている事を特徴とする。かかる構造を得る為、先ず最初に1PSG+2PSGの層を大きめに開口し、次に平坦化膜を塗布した後これを小さめに開口する。かかる構造では1PSG+2PSGのサイドエッチングや平坦化膜のオーバーハングを防ぐ事ができる為、ITOに段切れ等の欠陥が発生する恐れが少ない。

【0014】(B)に示す第二具体例は、2CONの底部から平坦化膜が除去されている事を特徴とする。かかる構造を得る為、最初に平坦化膜を大きめに開口し、次に1PSG+2PSGを小さめに開口する。1Poly上に平坦化膜が直接接触しないのでTFT部分への汚染が少ない。1Poly上に平坦化膜の残渣が残らない為、コンタクト抵抗への悪影響が少ない。さらに、現状のプロセスを最大限に適用する事ができるという利点がある。

【0015】(C)に示す第三具体例は、2CONの内周壁に平坦化膜端面が露出している事を特徴とする。かかる構造を得る為、平坦化膜及び1PSG+2PSGを一括してエッチングするか、あるいはセルフアライメントによりエッチングする。この為プロセスが簡略化できるという利点がある。但し、1PSG+2PSGの層にサイドエッチが生じた場合にはITO段切れ等の欠陥が生じる可能性がある。

【0016】図5は、図4(A)に示した第一具体例の応用例を表わした模式図である。図5(A)に示す様に、この応用例では第一絶縁膜及び第二絶縁膜の積層を介して設けられたコンタクトホールを通じ、上側の電極膜と下側の半導体層とを互いに電気接続している。この応用例では第一絶縁膜と第二絶縁膜は異なった材料から構成されており、前者のエッチングレートは後者のエッチングレートに比べ小さい。従って、コンタクトホール開口の為エッチング処理を行なうと、第二絶縁膜にサイドエッチが現われる。このサイドエッチを埋める為平坦化膜をコンタクトホール内に充填する。この後、比較的小さな開口径で平坦化膜をエッチング除去し半導体層表面を露出させる。引き続き電極膜を成膜し、コンタクトホール内で半導体層と電気接続させる。図から明らかな様に、第二絶縁膜のサイドエッチ部分は平坦化膜によって完全に被覆されているので、コンタクトホール内壁に段差が生ぜず、電極膜に段切れ等の恐れがない。

【0017】これに対して(B)に示す参考例は、第二絶縁膜にサイドエッチの生じた状態で、直接電極膜をコンタクトホール内壁に沿って成膜した場合である。この時にはサイドエッチ部で電極膜の段切れ等の欠陥が発生する確率が高くなる。

【0018】次に、図6を参照して図4に示したコンタクトホールの第一具体例の作成方法を詳細に説明する。なお、この例では平坦化膜として非感光性樹脂を用いている。樹脂自体に感光基を含まない為透明性に優れておりとともに化学的にも安定である。但し、加工性に若干難があり工程が複雑化する。まず、工程AにおいてPolyの表面にPSGを成膜する。次に工程Bにおいてレジストを塗布し露光現像する。ライトアッシングを施した後レジストをマスクとしてPSGをエッチングする。この際サイドエッチが発生しPSGの開口径は若干広がる。工程Cでレジストを剥離する。工程Dで非感光性樹脂を塗布/焼成し、開口を平坦化膜で埋める。工程Eでレジストを塗布し露光現像を行なって比較的小さな開口を設ける。最後に工程Fでレジストを介し平坦化膜のエッチングを行ないPolyの表面を露出する。平坦化膜の除去にはプラズマエッチング等のドライエッチングを用いる。この後レジストを剥離しベイヤングを行なう。

【0019】図7を参照して、同じく図4の(A)に示したコンタクトホールの第一具体例につき、他の作成方法を説明する。本例では非感光性樹脂に代えて感光性樹脂を利用し平坦化膜としている。感光性樹脂を用いるとプロセスが簡略化できる。フォトリソグラフィ工程のみでコンタクトホールが作成できる為、面内の均一性が極めて良好である。まず工程AでPolyの上にPSGを成膜する。工程Bでレジストを塗布し露光現像した後、これをマスクとしてPSGをエッチングする。サイドエッチングの為PSGの開口部は若干拡大している。工程Cでレジストを剥離する。工程Dで感光樹脂からなる平坦化膜を塗布しPSGに設けられた開口を埋める。最後に工程Eで平坦化膜を露光現像しPSGの開口内でPolyの底部を露出させる。この後平坦化膜をベイヤングする。

【0020】図8は、図4の(B)に示したコンタクトホールの第二具体例を、非感光性樹脂により形成する方法を示す。まず工程AでPolyの上にPSGを成膜する。工程Bで非感光性樹脂からなる平坦化膜を塗布し焼成する。工程Cでレジストを塗布し露光現像する。工程Dでレジストを介し平坦化膜をエッチング除去する。サイドエッチングの為平坦化膜の開口径は拡大している。工程Eで再びレジストを塗布し平坦化膜の開口を埋める。さらに露光現像を施しPSGの表面を露出させる。工程Fで、露出した部分のPSGをエッチング除去する。さらにレジストを剥離した後ベイヤングを行なう。

【0021】図9は、同じく図4の(B)に示したコンタクトホールの第二具体例を、感光樹脂を利用して形成

する方法を表わしている。工程AでPolyの上にPSGを成膜する。工程BでPSGの上に感光樹脂からなる平坦化膜を塗布する。工程Cで平坦化膜の露光、現像、焼成を行ない比較的大きな開口を設ける。工程Dでレジストを塗布し平坦化膜の開口を埋める。さらにレジストの露光及び現像を行ない比較的小さな開口を設けPSGの表面を露出させる。最後に工程Eで、露出したPSGをエッチング除去する。この後でレジストを剥離しベイヤングを行なう。

【0022】図10は、図4の(C)に示したコンタクトホールの第三具体例を形成する方法を表している。この例では非感光性樹脂を利用している。工程AでPolyの上にPSGを成膜する。工程Bで非感光性樹脂を塗布した後焼成して平坦化膜を成膜する。工程Cでレジストを塗布し露光現像して所定の開口を設ける。工程Dでレジストを介し平坦化膜をエッチングする。ライトアッシングを行なった後、工程Eで引き続きPSGをエッチングする。最後にレジストを剥離してベイヤングを行なう。

【0023】図11は、同じく図4の(C)に示したコンタクトホールの第三具体例につき他の作成方法を示す。図10に示した方法と異なり、本例では平坦化膜として感光性樹脂を用いている。まず工程AでPolyの上にPSGを成膜する。工程Bで感光性樹脂を塗布し平坦化膜とする。工程Cで平坦化膜の露光、現像、焼成を行なう。ライトアッシングを行なった後、工程Dで平坦化膜をマスクとしてセルフアライメントによりPSGをエッチングする。この後ベイヤングを行なう。

【0024】次に、本発明にかかる開口率の改善手段について詳細に説明する。その前に、理解を容易にする為、図12を参照して従来のブラックマスク構造を簡潔に説明する。図示する様に、TFT基板21の内表面には所定の配列ピッチで画素電極22がマトリクス状に形成されている。隣接する画素電極22の間には金属配線ボタン23が設けられている。画素電極22と金属配線ボタン23の間には所定の間隙が設けられている。従って、画素電極22の寸法は配列ピッチに比べ小さい。液晶24を挟んで対向基板25が配置されている。対向基板25の内表面には対向電極26が形成されている。さらに、互いに隣接する画素電極22の間に整合する様にブラックマスク27がパタニングされている。対向基板25とTFT基板21とのアライメントマージンを確保する為、ブラックマスク27は平面的に見て画素電極22の端部と重なっている。従って、ブラックマスク27により囲まれた開口部の寸法は画素電極22の寸法に比べ小さくなっている。かかる構成によりブラックマスク27は光の漏れを防止しコントラストの改善を図っている。しかしながら、図から理解される様に、配列ピッチに比べ画素電極22の寸法は小さく、有効画素面積を規定する開口部の寸法はさらに小さくなっている。従っ

11

て、開口率は比較的小きな値に止まっている。

【0025】これに対し、図13は本発明にかかるブラックマスク構造を表わしている。なお理解を容易にする為、図12に示した部分と対応する部分には対応する参照番号を付してある。図示する様に、TFT基板21の表面凹凸を埋める様に透明平坦化膜28が形成されており、さらにその上にはマトリクス状に所定の配列ピッチで画素電極22が形成されている。本例では、互いに隣接する画素電極22の境界部と整合する様に金属配線パターン23がTFT基板21上にパタニング形成されている。従って、この金属配線パターン23がブラックマスクとして機能する。なお斜め方向から観察した場合の視差を考慮して、金属配線パターン23は、僅かに画素電極22の端部と平面的に見て重なっている。従って、画素電極22の寸法は配列ピッチに比べ若干短くなっている。一方、液晶24を介して対面配置した対向基板25にはブラックマスクは形成されていない。図から明らかな様に、対向基板25側から見た開口部寸法は、画素寸法から金属配線パターン23が重複した部分を差し引いたものであり、配列ピッチに比べ若干小さいに過ぎない。従って、従来例に比し開口率を相当程度改善する事ができる。なお本例では金属配線パターン23をブラックマスクに兼用しているが、これに限られるものではない。例えば、互いに隣接する画素電極22の境界部に沿って、透明平坦化膜28を選択的に黒色に着色しても良い。

【0026】図14は、図12に示した従来例の平面パターン形状を表わしており、具体的な数値を与えて開口率を計算している。画素電極22は幅方向両側から一対の金属配線パターン23によって挟まれており、上下両側から第二ポリシリコンにより構成される補助容量ライン29とゲートライン30により囲まれている。本例では画素電極22の幅方向配列ピッチは30 μ mに設定されており、長手方向配列ピッチは41 μ mに設定されている。又、画素電極22の幅寸法は22.5 μ mに設定されており、長手寸法は25.5 μ mに設定されている。さらに、有効画素領域を規定する開口部の幅寸法は16.5 μ mであり、その長手寸法は19.5 μ mである。従って、この従来例における1画素当たりの開口率は、 $(16.5\mu\text{m} \times 19.5\mu\text{m}) \times 100 / (30\mu\text{m} \times 41\mu\text{m}) = 26.2\%$ となる。この従来例ではブラックマスクが対向基板上に形成されている為、画素電極22とのアライメントマージンがある程度確保する必要があり、この為開口部面積が著しく制限を受けている。即ち幅方向に関し、金属配線パターン23の内端から5 μ mの幅でブラックマスクに覆われ、補助容量ライン29の内端から3.0 μ mの幅部分が遮閉され、ゲートライン30の内端から1.5 μ mの幅部分が遮閉されている。

【0027】図15は、図13に示した本発明にかかるブラックマスク構造の平面パターン形状を示す。具体的な

12

数値を入れて開口率を計算している。図14に示した従来例との比較を容易にする為、同様に画素の幅方向配列ピッチを30 μ mに設定し、長手方向配列ピッチを41 μ mに設定している。本実施例では、画素開口部の幅寸法が従来の16.5 μ mに比べ、25.0 μ mまで拡大している。即ち、金属配線パターン23をブラックマスクとして兼用する事により、開口部幅寸法的大幅な拡大が可能になる。実質的に画素電極22端部と各金属配線パターン23の重なった部分のみが開口部から除かれる。

又、開口部の長手方向寸法については、従来の19.5 μ mに比べ、21.0 μ mまで若干拡大されている。従来、補助容量ライン29の内端部から3 μ mの幅を遮閉する必要があるのに対し、本発明では1.5 μ mの幅のみを遮閉すれば十分である。即ち、本発明では補助容量ライン29は平坦化膜に埋設されており画素電極レベルまで突出していない。従って横方向電界の影響を受けなくて済むので、従来に比し開口部端部を1.5 μ m程度外側に拡大可能である。この結果、1画素当たりの開口率は $(16.5\mu\text{m} + 2 \times (3.0\mu\text{m} + 1.25\mu\text{m})) \times (19.5\mu\text{m} + 1.5\mu\text{m}) \times 100 / (30\mu\text{m} \times 41\mu\text{m}) = 42.6\%$ と計算される。従来の開口率26.2%に比べ大幅な改善が達成できる。

【0028】図16は本発明にかかるアクティブマトリクス基板の遮光構造の一例を示す模式的な断面図である。前述した様に、互いに隣接する画素電極の境界部分については、金属配線パターンをブラックマスクとして利用する事により、少なくとも部分的に遮閉する事ができる。しかしながら、TFTの部分についてはこの遮光構造を採用できない。そこで、図16の構造では、TFT部を選択的に遮閉する為、金属等からなる遮光層51を用いている。図示する様に、基板52の表面にはTFTが集積的に形成されている。このTFTを被覆する様に層間絶縁膜53が成膜されている。この層間絶縁膜53を介して第一コンタクトホール54を通じ金属配線パターン55がTFTのソース領域Sに電気接続されている。このTFTは所定の形状にパタニングされた遮光層51によって遮閉されている。さらに、TFTの上にはその凹凸を埋める為平坦化層56が成膜されている。平坦化層56、遮光層51、層間絶縁膜53を挿通する第二コンタクトホール57を通じて、画素電極58がTFTのドレイン領域Dに電気接続されている。本例では遮光層51を用いる事により、TFTを略完全に遮閉する事ができる。しかしながら、第二コンタクトホール57の部分については遮光層51が除去される為、若干の光漏れが生じる。

【0029】図17は、図16に示した遮光構造の改良例を示す模式的な断面図である。理解を容易にする為、対応する部分には対応する参照番号を付してある。図16に示した構造と異なる点は、遮光層59が平坦化層56の上側に形成されている事である。かかる構成により

第二コンタクトホール57を含めTFT全体を完全に遮断する事ができる。しかしながら、画素電極58の上に部分的に重なる為、図16に示した構造に比べ段差が生じ、若干平坦性が犠牲になる。

【0030】図18はカラーフィルタ層をアクティブマトリクス基板側に設けた本発明にかかるアクティブマトリクス型カラー液晶表示装置の実施例を示す模式的な断面図である。図示する様に、本カラー液晶表示装置は所定の間隙を介して対面配置されたアクティブマトリクス基板71、対向基板72と両基板の間隙内に挿入された液晶73とから構成されている。絶縁基板74の表面にはTFTが集積的に形成されている。TFTは島状にパタニングされた第一ポリシリコン75と、ゲート絶縁膜76を介してパタニング形成されたゲート電極77とから構成されている。このゲート電極77は例えば第二ポリシリコンからなる。このTFTは第一層間絶縁膜78により被覆されている。TFTのソース領域Sには第一層間絶縁膜78に設けられた第一コンタクトホール79を通して金属配線パターン80が電気接続している。この金属配線パターン80は第二層間絶縁膜81により被覆されている。さらに、その上にはパッシベーション膜82がパタニング形成されている。このパッシベーション膜82は、例えばプラズマCVD法により成膜されたp-SiNからなる。パッシベーション膜82の上には遮光膜83が形成されており、TFTを遮断する。TFTや金属配線膜80の凹凸を埋める様に平坦化膜84が堆積されている。この平坦化膜84は1 μ m \sim 2 μ m程度の凹凸を埋める為、少なくとも2.0 μ m程度の膜厚を有する。平坦化膜84、第二層間絶縁膜81、第一層間絶縁膜78を挿通して第二コンタクトホール85が設けられている。第二コンタクトホール85の内部及びその周辺は金属からなる遮光層86により被覆されている。この第二コンタクトホール85を介して画素電極87がTFTのドレイン領域Dに電気接続している。本実施例の特徴事項として、画素電極87に整合する平坦化層84の部分は所定の色相で着色処理されており、カラーフィルタを構成する。平坦化層84の選択的な着色処理は、例えば染色法等を用いる事ができる。従来と異なり、カラーフィルタをアクティブマトリクス基板71側に一体的に設ける事により、画素電極とカラーフィルタのアライメントマージンを考慮する必要がなくなる。なお、画素電極87の表面は配向膜88により被覆されている。一方、対向電極72の内表面には対向電極89及び配向膜90が重ねて成膜されている。上下一対の配向膜90、88により挟持された液晶73は所望の配向状態に均一制御される。

【0031】図20は、オンチップでカラーフィルタ層を設けたアクティブマトリクス基板の他の実施例を示す模式的な断面図である。図18に示した実施例と異なり、カラーフィルタ層は平坦化層とは別体に設けられて

いる。図示する様に、絶縁基板201の表面にはTFTが集積的に形成されている。TFTは所定の形状にパタニングされた第一ポリシリコン202と、三層のゲート絶縁膜203を介してパタニング形成されたゲート電極204とから構成されている。このTFTは第一層間絶縁膜205により被覆されている。TFTのソース領域Sには第一層間絶縁膜205に設けられた第一コンタクトホール206を通して金属配線パターン207が電気接続している。この金属配線パターン207は第二層間絶縁膜208により被覆されている。さらにその上にはカラーフィルタ層209が形成されている。このカラーフィルタ層209は樹脂材料にR(赤)、G(緑)、B(青)の顔料を選択的に分散した組成を有している。TFT、金属配線207、カラーフィルタ層209の凹凸を埋める様に平坦化膜210が堆積されている。平坦化膜210、第二層間絶縁膜208、第一層間絶縁膜205を挿通して第二コンタクトホール211が設けられている。この第二コンタクトホール211を介して画素電極213がTFTのドレイン領域Dに電気接続している。本実施例の特徴事項として、各画素電極213は対応するTFTに電気接続する接続部214と、これに連続する有効画素部215とを有している。前述した様に、接続部214は平坦化膜210に開口した第二コンタクトホール211を通じて直接TFTのドレイン領域Dに導通する一方、有効画素部215直下には平坦化膜210を介してカラーフィルタ層209が整合的に設けられている。この様に本例では、カラーフィルタ層209は平坦化膜210と別に設けられており、且つ第二コンタクトホール211周りから除かれている。なお本例では第一ポリシリコン202に前述した画素電極駆動用のTFTに加え、補助容量220も同時に形成されている。

【0032】図21は、図20に示したアクティブマトリクス基板の模式的な平面図である。図示する様に、マトリクス状に配列された画素電極213には各々カラーフィルタ層209が対応して設けられている。個々のカラーフィルタ層209は順次、R、G、Bに着色されている。前述した様に各画素電極213は接続部214とこれに連続する有効画素部215に分かれている。接続部214は第二コンタクトホール211を介してTFTのドレイン領域Dに電気接続している。一方有効画素部215の内部には点線で示す様に表示領域216が含まれている。カラーフィルタ層209はこの表示領域216を完全に包含する様に、画素電極213の有効画素部215に整合している。カラーフィルタ層209はコンタクトホール211に及ばない様にパタニングされている。

【0033】以上に説明した様に本実施例では、画素電極の有効画素部だけにカラーフィルタ層を設けている。カラーフィルタ層自体にコンタクトホール開口の様な微

細加工を行なう必要がない。従って、カラーフィルタ層として顔料分散型の組成を自由に採用する事ができる。一方、画素電極の接続部には平坦化膜が直接介在している。この平坦化膜は透明樹脂等からなり写真食刻加工が可能であり、微細なコンタクトホールを開口できる。平坦化膜には顔料等の様な粒径の大きい粒子は含まれていない為、微細加工が可能になる。又、平坦化膜は純度の高い有機樹脂材料等からなり、カラーフィルタの顔料に含まれる様な金属イオンを含有していない。この為、コンタクトホールを介して薄膜トランジスタの素子領域を汚染する惧れがない。以上の様に、本実施例では画素電極と対応する薄膜トランジスタとのコンタクト形成が非常に容易になる。カラーフィルタ層自体に微細加工を行なう必要がない為、カラーフィルタ材料の選択範囲が広がる。薄膜トランジスタとカラーフィルタ層が直接接触しない為、素子領域への汚染がなくなる。平坦化膜の加工技術をそのまま生かして、アクティブマトリクス基板側にカラーフィルタ層をオンチップ形成できる。

【0034】図22は、カラーフィルタ層がオンチップ形成されたアクティブマトリクス基板の参考例を示す模式的な断面図である。図20に示した実施例と対応する部分には対応する参照番号を付して理解を容易にしている。この参考例ではカラーフィルタ層209が全面的に設けられており、その上に平坦化膜を介さず直接に画素電極213が形成されている。カラーフィルタ層209は個々の画素電極に対応して、R、G、Bの各色顔料を選択的に分散している。従って、カラーフィルタ層209は画素電極213の有効画素部215のみならず、接続部214にも及んでいる。この為、薄膜トランジスタのドレイン領域Dに連通するコンタクトホール211はカラーフィルタ層209に開口しなくてはならない。

【0035】図23は、図22に示した参考例の模式的な平面図である。前述した様に、カラーフィルタ層209は各画素電極213に対応して選択的に顔料等で着色されている。カラーフィルタ層209は画素電極213の有効画素部215のみならず接続部214にも及んでいる。従って、コンタクトホール211もこのカラーフィルタ層209を貫通する事になる。上述した様に、カラーフィルタ層にはその母材中に着色の為顔料等数 μm 単位の粒子が分散され多量に含まれている。この為コンタクトホール開口の様な微細加工を行なう場合、顔料粒子が障害となって数 μm 単位の微細加工は非常に困難である。顔料分散型のカラーフィルタを採用しない場合には実用上材料選定範囲が極めて限定されてしまう。又、カラーフィルタ層がコンタクトホールを介して直接薄膜トランジスタのドレイン領域Dに接触する構造となる為、カラーフィルタに含まれる顔料の金属イオンによる薄膜トランジスタの汚染が問題となる。

【0036】

【発明の効果】以上説明した様に、本発明によれば、ア

クティブマトリクス基板に平坦化膜を適用して表面の起伏を吸収させ段差を取り除いている。従って、液晶分子のプレチルト角を均一化できリバースチルトドメインを抑制し表示品位を改善する事ができるという効果がある。これに関連して、配向不良部を遮閉する為のブラックマスクの幅を削減する事が可能となり、開口率の改善につながるという効果が得られる。平坦化膜を介在させる事により液晶に印加される電界の方向をプレチルト角に対して均一化でき、リバースチルトドメインの抑制が図れるという効果がある。TFT基板の表面起伏が減少する事により、配向膜の厚みむらがなくなるという効果がある。同様な理由により、ラビング処理における配向不良が減少するという効果がある。さらに、シール部の起伏が減少する事により、上下一対の基板の密着強度が増加し液晶漏れを防ぐ事ができるという効果がある。平坦化膜自体を画素電極に整合して着色する事により、カラーフィルタをアクティブマトリクス基板上に一体的に形成でき、上下一対の基板のアライメント精度が緩和できるという効果がある。なお、カラーフィルタを平坦化膜と別体に形成する場合、その範囲を画素電極の有効画素部に限定する一方、コンタクトはカラーフィルタを介する事なく平坦化膜を通して直接薄膜トランジスタのドレイン領域に連通させる。これにより、コンタクトホールの微細加工が容易に行なえるという効果がある。又、アクティブマトリクス基板側に少なくとも部分的にブラックマスクパターンを形成する事が可能となり、同じく上下一対の基板のアライメント精度を緩和できるという効果がある。

【図面の簡単な説明】

【図1】本発明にかかるアクティブマトリクス基板の基本的な構成を示す断面図である。

【図2】図1に示したアクティブマトリクス基板の製造方法を示す工程図である。

【図3】同じく製造方法を示す工程図である。

【図4】アクティブマトリクス基板に設けられる第二コンタクトホールの具体的な構成例を示す模式図である。

【図5】同じくコンタクトホールの構造例を示す模式図である。

【図6】図4に示したコンタクトホールの形成方法を示す工程図である。

【図7】同じくコンタクトホールの形成方法を示す工程図である。

【図8】同じくコンタクトホールの形成方法を示す工程図である。

【図9】同じくコンタクトホールの形成方法を示す工程図である。

【図10】同じくコンタクトホールの形成方法を示す工程図である。

【図11】同じくコンタクトホールの形成方法を示す工程図である。

17

【図12】従来のブラックマスク構造を示す模式的な断面図である。

【図13】本発明にかかるブラックマスク構造を示す模式的な断面図である。

【図14】従来のブラックマスクパタン形状を示す平面図である。

【図15】本発明にかかるブラックマスクパタン形状を示す平面図である。

【図16】本発明にかかるアクティブマトリクス基板の遮光構造例を示す断面図である。

【図17】同じく本発明にかかるアクティブマトリクス基板の他の遮光構造例を示す断面図である。

【図18】本発明にかかるアクティブマトリクス型カラー液晶表示装置のオンチップカラーフィルタ構成を示す断面図である。

【図19】従来のアクティブマトリクス基板の一般的な例を示す断面図である。

【図20】本発明にかかるオンチップカラーフィルタ構成の他の例を示す断面図である。

【図21】図20に示したアクティブマトリクス基板の模式的な平面図である。

18

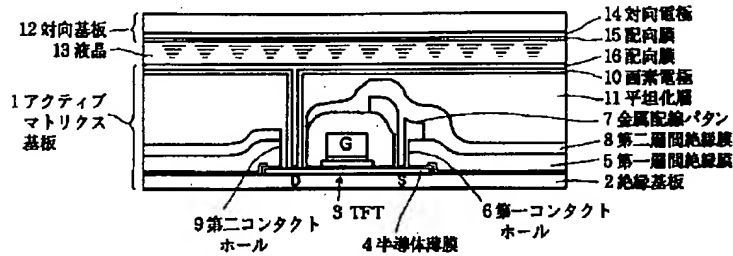
【図22】オンチップカラーフィルタ構成の参考例を示す断面図である。

【図23】図22に示したアクティブマトリクス基板の模式的な平面図である。

【符号の説明】

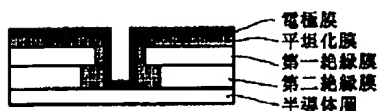
- 1 アクティブマトリクス基板
- 2 絶縁基板
- 3 TFT
- 4 半導体薄膜
- 5 第一層間絶縁膜
- 6 第一コンタクトホール
- 7 金属配線パタン
- 8 第二層間絶縁膜
- 9 第二コンタクトホール
- 10 画素電極
- 11 平坦化層
- 12 対向基板
- 13 液晶
- 14 対向電極
- 15 配向膜
- 16 配向膜

【図1】

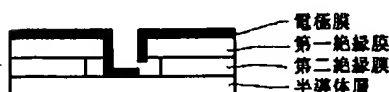


【図5】

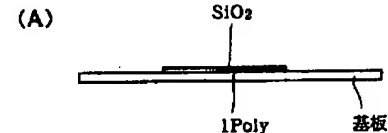
(A)



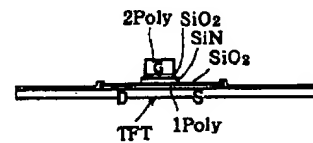
(B)



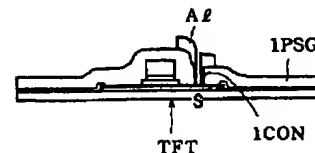
【図2】



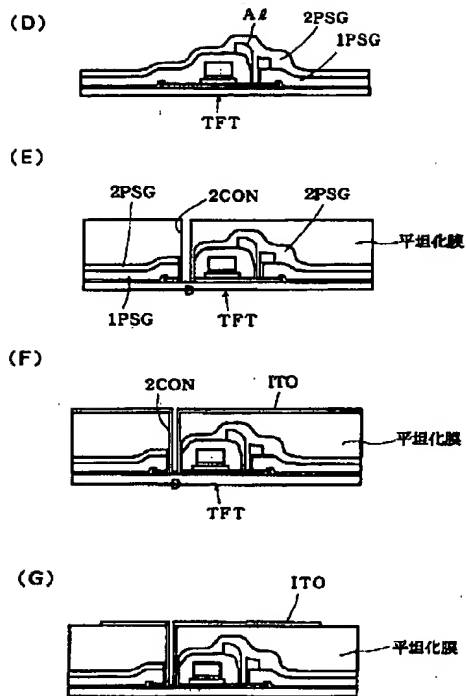
(B)



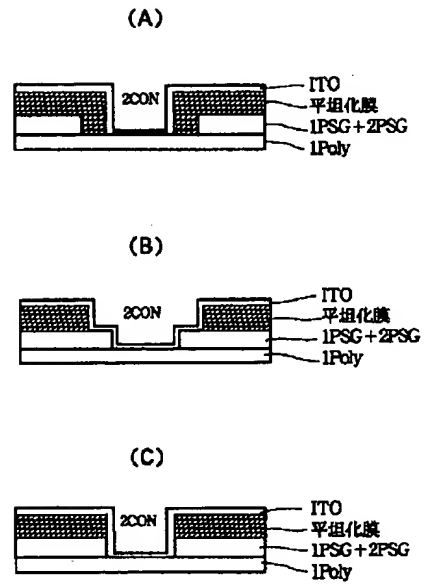
(C)



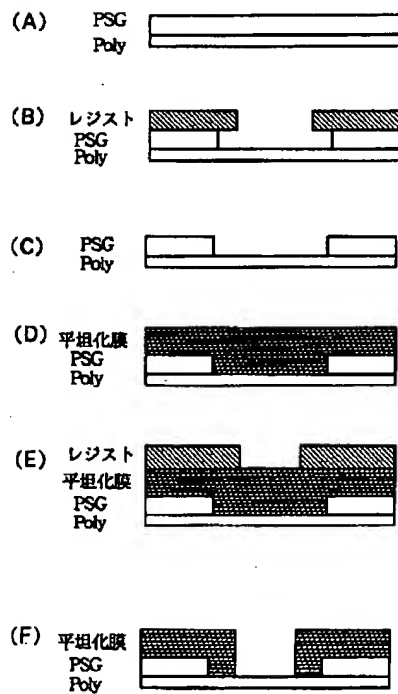
【図3】



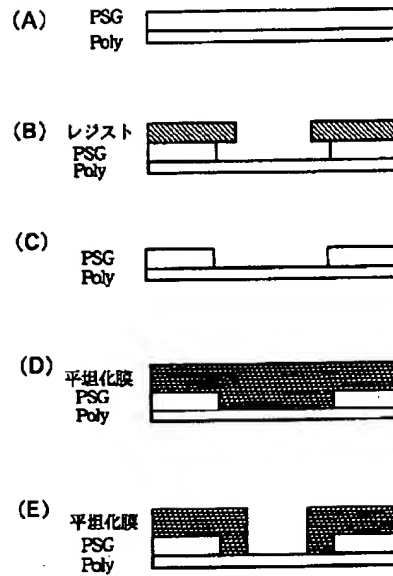
【図4】



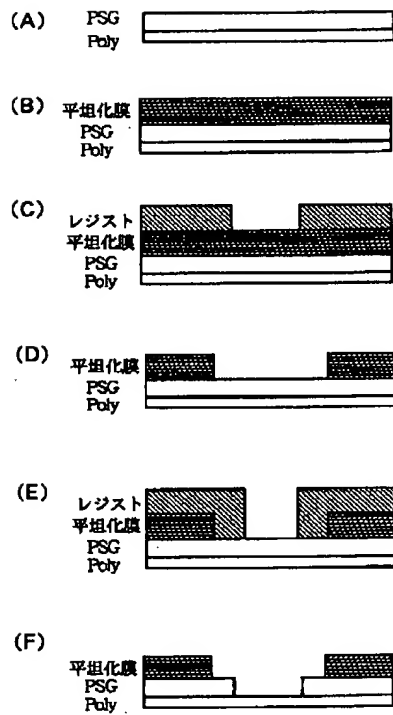
【図6】



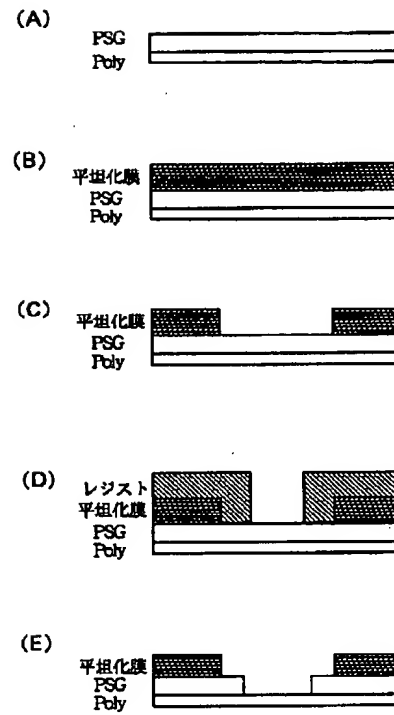
【図7】



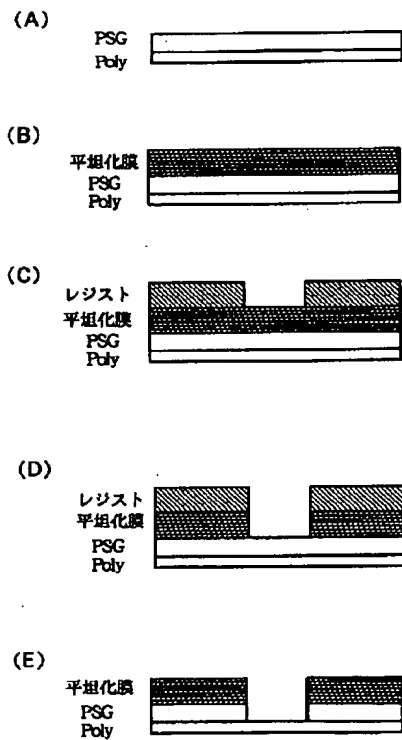
【図8】



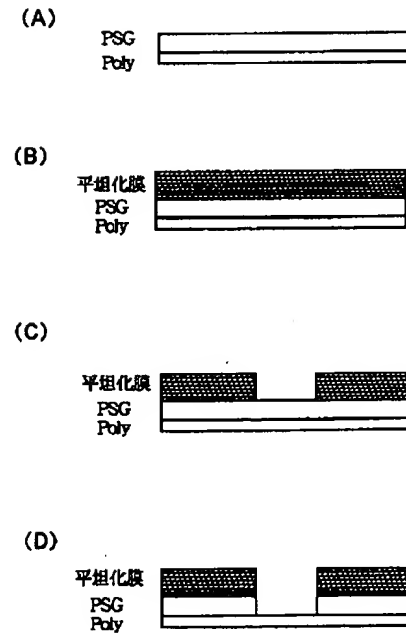
【図9】



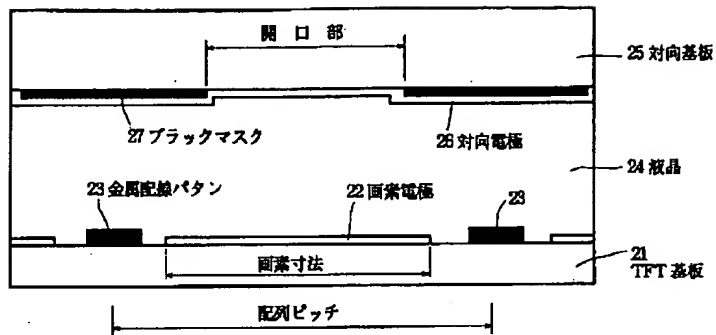
【図10】



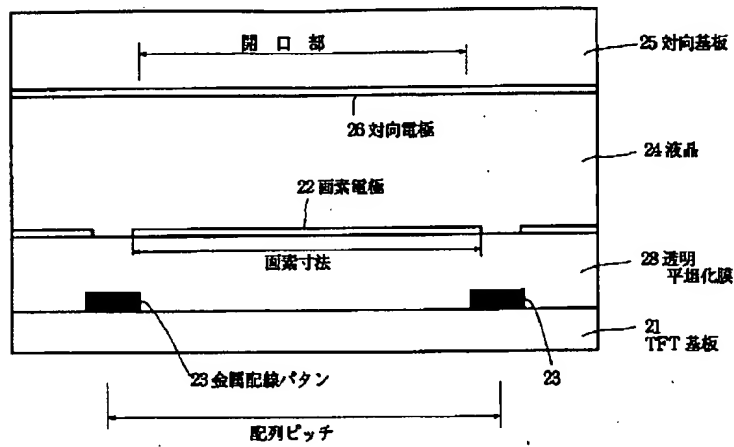
【図11】



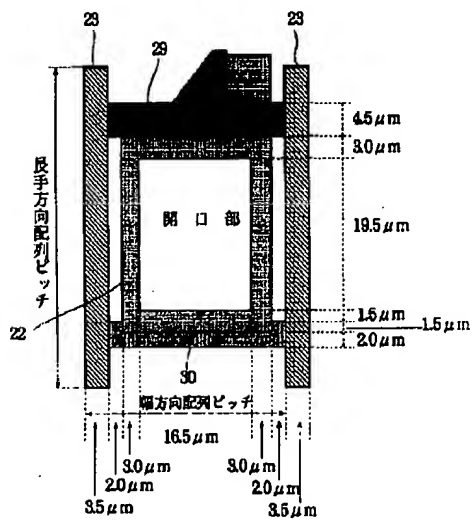
【図12】



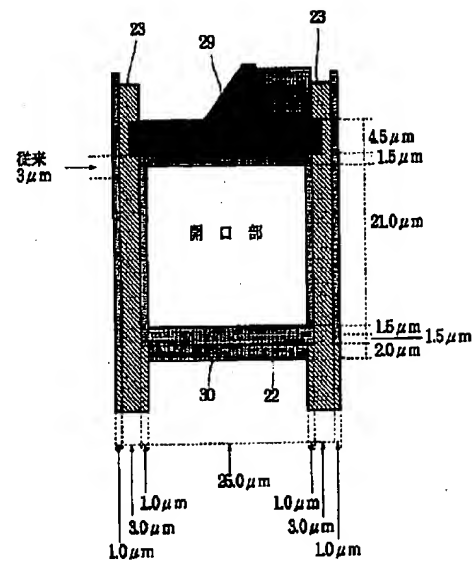
【図13】



【図14】



【図15】



[illegible]

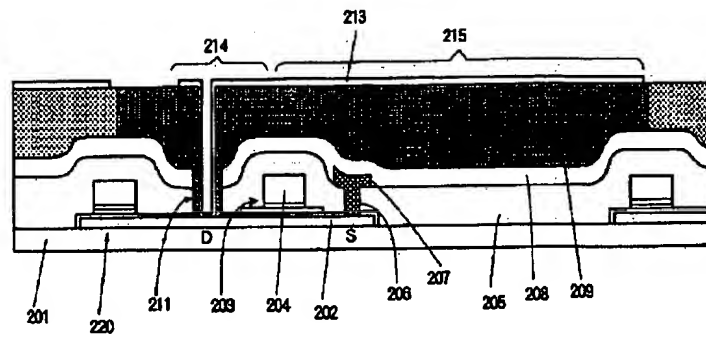
This cross-sectional view illustrates the TFT-LCD panel structure. The top layer is the upper glass substrate (72), which contains a liquid crystal layer (90) between a top alignment layer (89) and a bottom alignment layer (88). The bottom glass substrate (71) features a TFT region (74) and a color filter region (75). The TFT region includes a gate insulating layer (76), a gate electrode (77), a channel layer (78), and a drain electrode (79). The color filter region includes a color filter layer (80) and a protective layer (81). The TFT region is electrically connected to the color filter region via a contact layer (82) and a conductive layer (83). The color filter layer (80) is labeled "カラーフィルタ" (Color Filter). The thickness of the color filter layer is indicated as 2.0 μm. The bottom glass substrate (71) also includes a base layer (84) and a buffer layer (85).

This cross-sectional view shows a semiconductor device with a substrate 101. A gate structure 102 is formed on the substrate, containing a gate 103. The gate structure is surrounded by a gate oxide layer 104. The gate oxide layer is formed on a layer 105, which is on a layer 106. The gate oxide layer is also formed on a layer 107, which is on a layer 108. The gate oxide layer is also formed on a layer 109, which is on a layer 110. The gate oxide layer is also formed on a layer 111, which is on a layer 112.

This cross-sectional view shows a semiconductor device with a central channel region (210) and side regions (213, 214, 215). The device includes a substrate (201) with a base layer (202) and a top layer (203). A central channel (210) is formed in the substrate, flanked by side regions (213, 214, 215). The channel is defined by a central layer (204) and side layers (205, 206, 207, 208, 209). A central gate structure (211) is positioned over the channel, and a side gate structure (212) is positioned over the side regions. The device is shown in a cross-sectional view with various layers and regions labeled with reference numerals.

Figure 1 shows a 3x3 grid of color calibration patches. The patches are labeled with 'R' (Red), 'G' (Green), and 'B' (Blue) at the corners. The central patch is labeled '209'. The patches are numbered 213, 216, 215, 211, and 214. The patches are arranged in a 3x3 grid with the central patch being white.

【図22】



フロントページの続き

(72)発明者 林 久雄
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☒ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☒ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☒ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.